

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-128535

(43)Date of publication of application : 09.07.1985

(51)Int.Cl.

G06F 9/46

(21)Application number : 58-237419

(71)Applicant : NEC CORP

(22)Date of filing : 16.12.1983

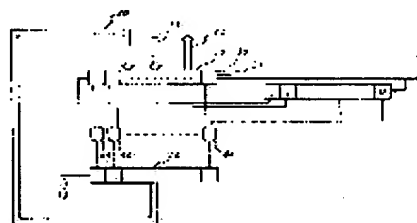
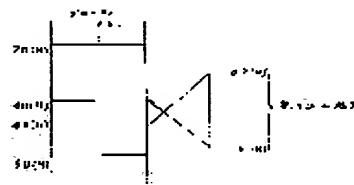
(72)Inventor : KUSANO YUKO

(54) INTERRUPTION PROCESSING UNIT

(57)Abstract:

PURPOSE: To obtain a return address after execution of interruption processing by using an address generating means of a program counter and a program memory so as to generate a start address of interrupted processing.

CONSTITUTION: When an interruption is given at the execution of instruction at 4A(H) during a group of processing using 40(H) as a start address, the content of a program counter 10 is outputted to a bus 22 by using an address output signal 30 to address the program memory, while the content is fed also to AND circuits 40W47 by an interruption reception signal 32. The content of a mask register 11 is fed to the AND circuits 40W47 by using the interruption reception signal 32 at the same time. The AND circuits 40W47 AND the signals and the result 40(H) is stored in a stack register 12. A return instruction is executed at 1F(H) at the end of interruption. The interruption end signal 33 enters the stack register 12 and the content 40(H) of the register 12 is set to the program counter 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-128535

⑬ Int. Cl.⁴

G 06 F 9/46

識別記号

庁内整理番号

H-7361-5B

⑭ 公開 昭和60年(1985)7月9日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 割り込み処理装置

⑯ 特 願 昭58-237419

⑰ 出 願 昭58(1983)12月16日

⑱ 発 明 者 草 野 優 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

割り込み処理装置

2. 特許請求の範囲

割り込み処理を行なうことのできるデータ処理装置において、プログラム・カウンタの内容を修飾するための情報を蓄えておく第1手段と、プログラム・カウンタの内容と前記第1手段に蓄えてある情報とからプログラム・メモリのアドレスを生成する第2手段とを有し、割り込み処理を受け付けた時に前記第1手段と第2手段とを用いることにより割り込み処理実行後の戻り番地として割り込まれた処理の開始番地を生成することを特徴とする割り込み処理装置。

3. 発明の詳細な説明

本発明は情報処理装置に関し、とくにその割り込み処理機構に関する。

一般に、割り込み処理を行なうことのできる情報処理装置では、割り込みを受け付けると、割り込み処理ルーチンの最初で割り込み処理後の戻り番地並びにフラグ、レジスタの内容をスタックしておくようになっている。この際、従来の情報処理装置は、割り込みを受け付けると、当該割り込みを受け付けた時点でのプログラム・カウンタの内容を戻り番地とし、フラグ内容とともにスタック・エリアに退避する処理を実行するハードウェアを有し、その他のレジスタの値の退避は、ソフトウェアを用いて行なっているものが多い。

しかしながら、退避すべきレジスタの数が多く、かつ割り込まれた処理(現在実行中の処理)は優先度が低く、比較的簡単で短いものであるのに対して、割り込み処理は優先度が高く急を要するような場合には、前記割り込まれた処理において使用されている多くのレジスタの内容を退避するために非常に長い時間を要し、これが割り込み処理を迅速に行なうことを困難にしていた。さらに、多くのレジスタの内容を退避するため、相当数の

エリアが必要であった。

本発明の目的は割り込み処理の改良を目的とし、その構成を割り込み処理を行なうことのできるデータ処理装置において、プログラム・カウンタの内容を修飾するための情報を蓄えておく第1手段と、プログラム・カウンタの内容と前記第1手段に蓄えてある情報とから、プログラム・メモリのアドレスを生成する第2手段とを有し、割り込み処理を受け付けられた時に、前記第1手段と第2手段とを用いることにより、割り込み処理実行後の戻り番地として、割り込まれた処理の開始番地を生成する割り込み処理装置としたことを特徴とする。

次に、本発明の一実施例について、図面を用いて説明する。

第1図は、プログラム実行中に、割り込みがかかった時の処理の流れを示す図、第2図は、本発明の一実施例を示す図である。

本実施例では、プログラム・メモリの大きさを256バイトとし、したがってプログラム・メモリを指すアドレス幅を8ビットとする。

力を前記スタック・レジスタ12につなぐAND回路である。

本実施例の動作を、第1図、第2図を用いて説明する。

今、40時を開始アドレスとする一まとまりの処理をしているものとする。この時のプログラム・カウンタ10の動作は次のようになる。命令実行にともない、現在のプログラム・カウンタ10の内容をアドレス出力信号30によりバス22に出力し、プログラム・メモリをアドレッシングする。この時、出力するアドレスは、次に実行する命令をさすものである。通常、命令が分岐命令でなければ、アドレス入力信号31により前記バス22に出力した内容をインクリメントした値がバス21を通してプログラム・カウンタ10に取り込まれる。以下、同様にプログラム・カウンタ10の内容は更新され、40時からの一まとまりの処理が進んでいく。ここで、4AHにある命令を実行している時に割り込みがかかり、これを受け付けられたとする。このときのプログラム・カウンタ10

第1図に於いて、20時、40時、4A時、60時、08時、1F時は、プログラム・メモリのアドレスである。本実施例では、一まとまりの処理の開始アドレスを、アドレスの下位5ビット“0”となるところにわりつけてある。また、割り込み処理の開始アドレスを03時、終了アドレスを1F時とし、1F時には、リターン命令が入っているものとする。

第2図に於いて、10はプログラム・カウンタ、11はマスク・レジスタ、12はスタック・レジスタで、本実施例では、それぞれ16ビットである。前記マスク・レジスタ11にはマスク・パターンとしてE0時が入っている。同図に於いて、20、21、22は前記プログラム・カウンタ11につながるバス、30、31はそれぞれ前記プログラム・カウンタ11に対するアドレス出力信号及びアドレス入力信号、32は割り込み受け付け信号、33は割り込み終了信号、40～48は入力を前記プログラム・カウンタ11と前記マスク・レジスタ11とからのそれぞれのビットとし、出

の内容4B時は、アドレス出力信号30によりバス22に出力されプログラム・メモリをアドレッシングするが、一方、割り込み受け付け信号32によりAND回路40～47にも送られる。同時に割り込み受け付け信号32により、マスク・レジスタ11の内容もAND回路40～47に送られる。本実施例においては、マスク・レジスタ11の内容は、E0時である。AND回路40～47では、前記プログラム・カウンタ10の内容4B時と、前記マスク・レジスタ11の内容E0時との論理和をとり、結果40時をスタック・レジスタ12に格納する。割り込みを受け付けると、プログラム・カウンタ10には、アドレス入力信号31により、割り込み開始アドレスが、バス21を通して取り込まれる。本実施例では、割り込み開始アドレスを03時としている。プログラム・カウンタ10に、割り込み開始アドレスが取り込まれると、次のアドレス出力から直ちに割り込み処理が開始される。この際、割り込み処理の最初の部分で内部レジスタの値の過渡は行なわず、すぐ

目的の割り込み処理を実行する。以下、割り込み処理中のプログラム・カウンタ10の動作は、前記、通常の 合と同様である。

割り込み処理終了に際しては、本実施例の場合、1 F(H)でリターン命令を実行する。リターン命令実行にともない割り込み終了信号33がスタックレジスタ12に入る。スタック・レジスタ12は、前記スタックレジスタ12に取り込まれた内容40(H)をプログラム・カウンタ10に、バス20を通して伝送する。プログラム・カウンタ10の内容は40(H)となり、割り込み処理終了後は、再び40(H)より処理を開始する。

以上説明したように、本発明は、割り込みを受け付けられた時のプログラム・カウンタの内容を修飾して、割り込みを受け付けられた時に実行していた一まとまりの処理の開始アドレスを生成しスタックする機構を持つことにより、割り込み処理終了、割り込まれた処理を最初から実行しなおすため、割り込み処理開始時に、割り込まれた処理で用いていたレジスタの内容を退避する必要がなくなり、

本来の割り込み処理を迅速に開始することができ、かつレジスタの内容を退避するためのエリアを節約できるという効果を持つ。なお、割り込まれた処理は優先度が低くかつ短時間で実行できるものであるため、最初からやり直しても差程プログラム実行時間が長くなるものではない。また、本願の割り込み処理がこのような処理に対してのみ割り込まれるように、実行中の処理名(アドレスでも可)をレジスタにセットしておき、割り込みをかけてよいか否かを即座に検出できるようにしておいてもよい。

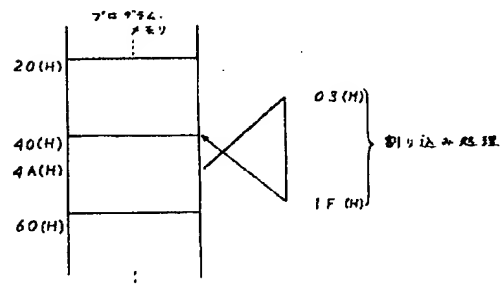
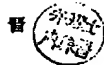
4. 図面の簡単な説明

第1図は、プログラム実行中に割り込みがかかった時の処理の流れを示す図。第2図は、本発明の一実施例を示す回路図である。

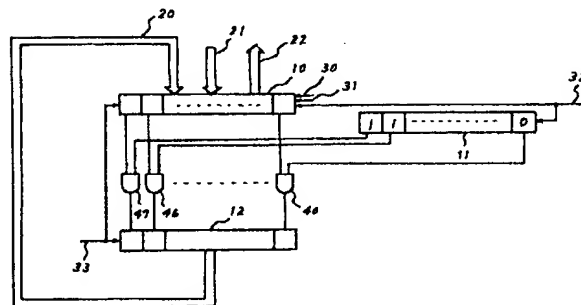
10……プログラム・カウンタ、11……マスタレジスタ、12……スタック・レジスタ、20、21、22……バス、30……アドレス出力信号、31……アドレス入力信号、32……割り込み受け付け信号、33……割り込み終了信号、40～47……AND回路。

け付け信号、33……割り込み終了信号、40～47……AND回路。

代理人 弁理士 内 原 智



第1図



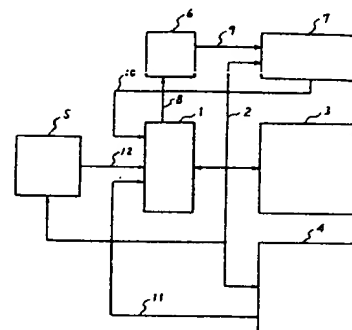
第2図

(54) INFORMATION PROCESSING D...

(11) 60-128534 (A) (43) 9.7.1985 (19) JP
(21) Appl. No. 58-237408 (22) 16.12.1983
(71) NIPPON DENKI K.K. (72) YOSHITOSHI YAKABE(1)
(51) Int. Cl. G06F9/46, G06F13/24

PURPOSE: To allow plural processing programs on time division basis under management programs without disturbing the system operation by adding a mask information supervisory circuit to a storage circuit.

CONSTITUTION: A supervisory circuit 6 supervises a mask information signal 8 outputted from a central processing unit 1 during program processing and when a mask is set, a set signal 9 is outputted to the storage circuit 7. The storage circuit 7 stores that the mask is set and outputs a non-maskable interruption signal 10 to the central central processing unit at that time. The makes processing corresponding to the mask stored in the storage circuit 7. For example, when the interruption mask is set in the processing program, the execution of an internal interruption instruction or the execution of an interruption mask set is conducted.



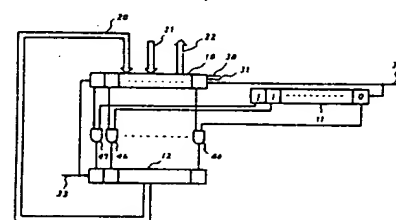
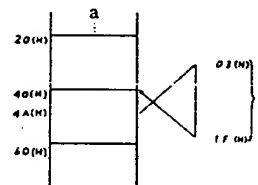
3: storage device, 4: input/output device, 5: time management circuit

(54) INTERRUPTION PROCESSING UNIT

(11) 60-128535 (A) (43) 9.7.1985 (19) JP
(21) Appl. No. 58-237419 (22) 16.12.1983
(71) NIPPON DENKI K.K. (72) YUUKO KUSANO
(51) Int. Cl. G06F9/46

PURPOSE: To obtain a return address after execution of interruption processing by using an address generating means of a program counter and a program memory so as to generate a start address of interrupted processing.

CONSTITUTION: When an interruption is given at the execution of instruction at 4A(H) during a group of processing using 40(H) as a start address, the content of a program counter 10 is outputted to a bus 22 by using an address output signal 30 to address the program memory, while the content is fed also to AND circuits 40~47 by an interruption reception signal 32. The content of a mask register 11 is fed to the AND circuits 40~47 by using the interruption reception signal 32 at the same time. The AND circuits 40~47 AND the signals and the result 40(H) is stored in a stack register 12. A return instruction is executed at 1F(H) at the end of interruption. The interruption end signal 33 enters the stack register 12 and the content 40(H) of the register 12 is set to the program counter 10.



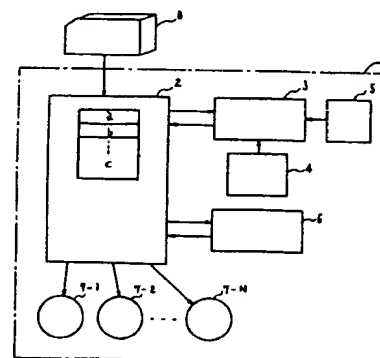
a: program memory, b: interruption processing

(54) JOB EXECUTION CONTROL SYSTEM

(11) 60-128536 (A) (43) 9.7.1985 (19) JP
(21) Appl. No. 58-237571 (22) 16.12.1983
(71) FUJITSU K.K. (72) JIYUN OONISHI
(51) Int. Cl. G06F9/46

PURPOSE: To attain ease of system operation and management by providing a control means executing plural jobs with multiplex and priority to attain execution of job only at the designated time zone thereby inhibiting the execution for other jobs.

CONSTITUTION: When an input job train 8 is applied to a data processing system, a job execution control section 2 identifies a job statement to register a date and an execution time zone to an execution time designation table 4. An execution time zone management section 3 refers to a real time zone designation table 4 at each prescribed time based on a clock device 5, extracts a job where a prescribed time after the present time includes the inhibiting time zone and informs it to a job control section 2. The job execution control section 2 eliminates the execution inhibiting job from the input job train 8. A job priority control section 6 discriminates the priority of each job of the input job train and set it to decide a queue.



l: data processing system 7-1, 7-2, 7-N resource, a: job A, b: job B, c: input job queue